

AUTOMATYCZNE PRZETWARZANIE INFORMACJI	N O R M A B R A N Ż O W A	BN-84
	Urządzenia komputerowe Pamięci operacyjne Ogólne wymagania i badania	3131-03
		Grupa katalogowa 1960

BN-84/3131-03 (eqv CT C9B 3421-81)

1. WSTĘP

1.1. Przedmiot normy. Przedmiotem normy są ogólne wymagania i badania dotyczące pamięci operacyjnych o równoległym zapisie informacji, w których nośnikiem informacji są elementy magnetyczne lub półprzewodnikowe.

1.2. Zakres stosowania normy. Norma obowiązuje w zakresie projektowania, produkcji, dystrybucji i eksploatacji pamięci operacyjnych wykonanych jako pamięci magnetyczne i półprzewodnikowe.

1.3. Określenia

1.3.1. pamięć operacyjna — pamięć o dostępie bezpośrednim, służąca do przechowywania aktualnie realizowanego programu (lub jego fragmentu) oraz niezbędnych danych.

1.3.2. zwrot do pamięci — impuls rozpoczynający konkretną operację w pamięci.

1.3.3. czas cyklu pamięci — najkrótszy czas między dwoma kolejnymi zwrotami do pamięci dla wykonania w niej operacji.

1.3.4. czas dostępu (do informacji) — przedział czasu między zwrotem do pamięci a momentem, w którym odczytana informacja jest dostępna na wyjściu pamięci.

1.3.5. czas odświeżania wiersza (dla dynamicznej pamięci półprzewodnikowej) — czas między dwoma kolejnymi zwrotami do pamięci konieczny do zregenerowania informacji w jednym wierszu w elemencie scalonym pamięci.

1.3.6. czas cyklu odświeżania pamięci (dla dynamicznej pamięci półprzewodnikowej) — wymagany czas, w którym powinno nastąpić całkowite zregenerowanie informacji w pamięci.

1.3.7. Pozostałe określenia — wg PN-83/T-42106.

2. PODZIAŁ I OZNACZENIE

Kategorie urządzeń, grupy zapylenia i budowa oznaczeń — wg PN-83/T-42106.

Nazwy pamięci w oznaczeniach powinny mieć formę: PAMIĘĆ OPERACYJNA FERRYTOWA, PAMIĘĆ OPERACYJNA PÓLPRZEWODNIKOWA, PAMIĘĆ OPERACYJNA CIENKOWARSTWOWA itp.

3. WYMAGANIA

3.1. Kompletność — wg PN-83/T-42106.

3.2. Wykonanie i wygląd zewnętrzny — wg PN-83/T-42106.

3.3. Cechowanie — wg PN-83/T-42106.

3.4. Zabezpieczenie przed uszkodzeniem przy włączeniu zasilania — wg PN-83/T-42106.

3.5. Napięcie zasilania pamięci — wg norm przedmiotowych.

3.6. Marginesowanie napięć stałych. Pamięć operacyjna powinna poprawnie funkcjonować przy zmianie napięć zasilających o $\pm 5\%$ względem wartości znamionowych przy najmniej korzystnych kombinacjach bitowych, w których sygnał informacyjny ma wartość minimalną, a zakłócenia przy tym mają wartość maksymalną.

Kombinacje odchyłek od wartości znamionowych — wg norm przedmiotowych.

3.7. Zabezpieczenie przed uszkodzeniem przy zaniku napięć i wewnętrznym zwarciu — wg norm przedmiotowych.

3.8. Czas przygotowania urządzenia do pracy — wg norm przedmiotowych.

Zgłoszona przez Instytut Maszyn Matematycznych
Ustanowiona przez Dyrektora Ośrodka Badawczo-Rozwojowego Podstaw Technologii i Konstrukcji Maszyn dnia 12 maja 1984 r.
jako norma obowiązująca od dnia 1 stycznia 1986 r.
(Dz. Norm. i Miai nr 13/1985 poz. 24)

3.9. Rodzaj pracy — wg PN-83/T-42106.

3.10. Wymagania funkcjonalne

3.10.1. Pojemność informacyjna E . Pojemność informacyjną bloku (modułu) pamięci operacyjnej określa się w bajtach informacji, gdzie bajt odpowiada 8 bitom, bez uwzględnienia bitów kontrolnych. Wartość pojemności bloku (modułu) pamięci operacyjnej należy dobrać wg wzorów:

$$E = 2^r \cdot K \quad \text{dla } E \geq K \quad (1)$$

$$E = 2^r \cdot M \quad \text{dla } E \geq M \quad (2)$$

$$E = \frac{1}{2^r} \cdot K \quad \text{dla } E \leq K \quad (3)$$

gdzie:

$$r = 0, 1, 2, 3,$$

$$K = 1024 \text{ bajty},$$

$$M = 1024 K.$$

3.10.2. Pojemność komórki pamięci C określa się w bitach, których liczbę (bez uwzględnienia bitów kontrolnych) należy dobrać z szeregu

$$C = 4n, C = 8n \quad (4)$$

gdzie $n = 1, 2, 3, \dots$ (liczby naturalne).

3.10.3. Parametry czasowe pamięci operacyjnej — wg normy przedmiotowej, w której czas cyklu pamięci T_c (dla pamięci z odczytem niszcującym cykl odczyt-zapis; dla pamięci z odczytem nieniszczącym cykl odczyt), czas cyklu zapisu T_z (dla pamięci z odczytem nieniszczącym), czas dostępu (do informacji) T_a , czas odświeżania wiersza t_r (dla dynamicznej pamięci półprzewodnikowej) i czas cyklu odświeżania pamięci T_r (dla dynamicznej pamięci półprzewodnikowej) należy podawać w mikrosekundach.

Dopuszcza się podawanie parametrów czasowych pamięci operacyjnej w nanosekundach.

3.10.4. Parametry sygnałów wejściowych i wyjściowych pamięci operacyjnej powinny odpowiadać parametrom sygnałów zastosowanych elementów.

3.10.5. Zapewnienie zachowania informacji przy zaniku napięć zasilających — wg norm przedmiotowych.

3.11. Zamiennosc części — wg PN-83/T-42106.

3.12. Współpraca z urządzeniem sterującym lub kontrolnym — wg PN-83/T-42106.

3.13. Interfejs wejścia-wyjścia — wg PN-83/T-42106.

3.14. Odporność na warunki pracy. Pamięć operacyjna powinna być odporna na warunki pracy wg PN-83/T-42106.

3.15. Wytrzymałość na warunki transportu. Pamięć operacyjna powinna być wytrzymała na warunki transportu wg PN-83/T-42106.

3.16. Konstrukcja — wg PN-83/T-42106.

3.17. Maksymalne wymiary pamięci — wg PN-83/T-42106.

3.18. Maksymalna masa pamięci — wg PN-83/T-42106.

3.19. Obciążenie podłoża dla pamięci wolno

stojących — wg PN-83/T-42106.

3.20. Moc jednostkowa pobierana przez pamięć operacyjną (P_z) powinna być wyliczana w mW/bit wg wzoru

$$P_z = \frac{P}{N \cdot C} \cdot 10^3 \quad (5)$$

gdzie:

N — liczba adresów pamięci,

C — pojemność komórki pamięci,

P — moc zasilania, W,

$$P = \sum_{i=1}^n U_i I_i$$

n — liczba napięć zasilania,

U_i — i -ta wartość znamionowa napięcia, V,

I_i — natężenie potrzebne dla i -tej wartości znamionowej napięcia, A.

Moc pobierana przez pamięć operacyjną nie powinna przekraczać 1 mW/bit.

3.21. Poziom hałasu — wg PN-83/T-42106.

3.22. Niezawodność — wg BN-85/3108-01, BN-78/3108-03. Wartość średniego czasu pracy między dwoma kolejnymi uszkodzeniami oraz średniego czasu pracy między dwoma kolejnymi przekłamaniami powinna być szczegółowo ustalana w normach przedmiotowych w zależności od pojemności pamięci operacyjnej, lecz nie mniejsza niż podana w tabl. 1.

Uszkodzenia powodujące przekłamania ujawniane i korygowane przez system kontrolny pamięci nie są w niniejszej normie uznawane za uszkodzenia.

Tablica 1

Pojemność jednostki pamięci operacyjnej, bajty	Średni czas pracy między dwoma kolejnymi uszkodzeniami, h	Średni czas pracy między dwoma kolejnymi przekłamaniami, h
do 1 K	5000	500
powyżej 1 K do 10 K	3000	300
powyżej 10 K do 10 ² K	2000	200
powyżej 10 ² K do 10 M	1000	100
powyżej 10 M	250	25

Średni czas naprawy pamięci operacyjnej nie powinien być większy niż 0,5 h.

Współczynnik wykorzystania technicznego pamięci operacyjnej szczegółowo ustalany w normach przedmiotowych powinien być nie mniejszy niż 0,97.

3.23. Trwałość eksploatacyjna — wg PN-83/T-42106.

3.24. Bezpieczeństwo użytkownika — wg PN-84/T-42107.

4. PAKOWANIE PRZECHOWYWANIE I TRANSPORT

4.1. Pakowanie — wg PN-83/T-42106.

4.2. Przechowywanie — wg PN-83/T-42106.

4.3. Transport — wg PN-83/T-42106.

5. BADANIA

5.1. Rodzaje badań (badania niepełne, badania pełne), pobieranie próbek do badań pełnych oraz warunki badań — wg PN-83/T-42106.

5.2. Ogólne zasady przeprowadzania badań adekwatne do niniejszej normy — wg PN-83/T-42106.

Badania pamięci operacyjnej powinny być wykonywane w zestawie komputera.

Dopuszcza się prowadzenie badań na aparaturze wykonanej w postaci oddzielnego symulatora, lub bezpośrednio wbudowanej w pamięć, zapewniającej sprawdzanie pamięci.

Aparatura badawcza powinna zapewniać:

- badania pamięci przy granicznych wartościach napięć zasilania i częstotliwości roboczej,
- generowanie i przesyłanie do badanej pamięci podstawowych testów kontrolnych,
- wskazywanie i/lub rejestrowanie przekłamań oraz miejsc przekłamań podczas przechodzenia ciągów testowych przez badane urządzenie,
- możliwość podłączenia do wyjść badanego urządzenia w celu wykonywania pomiarów parametrów statycznych i dynamicznych.

Przy pomiarze parametrów statycznych należy stosować przyrządy o dopuszczalnych błędach pomiarowych w zakresie $\pm 2\%$.

Błąd w pomiarach parametrów czasowych nie powinien przekraczać $\pm 10\%$ względem wartości znamionowej parametru.

5.3. Zakres badań — wg tabl. 2. Kolejność — wg norm przedmiotowych.

5.4. Opis badań

5.4.1. Sprawdzanie wymagań zawartych w 3.1 ÷ 3.4; 3.9, 3.11 ÷ 3.19, 3.21, 3.23 — wg PN-83/T-42106.

Wymaganie zawarte w 3.14 (odporność na warunki pracy) sprawdza się wg PN-83/T-42106 z tym, że dodatkowo podczas badań i po ich zakończeniu należy sprawdzać zdolność urządzenia do pracy przy marginesowaniu napięć stałych oraz parametry czasowe wg 5.4.4.

5.4.2. Sprawdzanie wymagań zawartych w 3.5, 3.7, 3.8, 3.24 — wg norm przedmiotowych.

5.4.3. Sprawdzanie marginesowania napięć stałych (3.6) oraz pobieranej mocy (3.20) wykonuje się podczas sprawdzania wymagań funkcjonalnych (5.4.4) wg norm przedmiotowych.

5.4.4. Sprawdzanie wymagań funkcjonalnych — wg tabl. 3. Zdolność pamięci operacyjnej do pracy przy marginesowaniu napięć stałych oraz zmianie parametrów czasowych należy sprawdzać w kolejności podanej w tabl. 3.

Pomiary parametrów podanych w tabl. 3 należy wykonywać za pomocą testów właściwych dla danego typu pamięci. Zalecane testy przytoczono w załączniku. Testy do badania danego typu pamięci operacyjnej określono w normach przedmiotowych. Testy te powinny być wybrane spośród zalecanych lub innych.

5.4.5. Sprawdzenie niezawodności — wg BN-85/3108-02.

Dane zawarte w 3.22, tabl. 1 powinny służyć do oceny parametrów ustalanych podczas badań.

Tablica 2

Lp.	Wyszczególnienie	Wymaganie wg	Sprawdzanie wg	Badania	
				niepełne	pełne
1	2	3	4	5	6
1	Kompletność	3.1	5.4.1	x	x
2	Wykonanie i wygląd zewnętrzny	3.2	5.4.1	x	x
3	Cechowanie	3.3	5.4.1	x	x
4	Zabezpieczenie przed uszkodzeniem przy wyłączeniu zasilania	3.4	5.4.1	x	x
5	Napięcie zasilania pamięci	3.5	5.4.2	x	x
6	Marginesowanie napięć stałych	3.6	5.4.3	x	x
7	Zabezpieczenie przed uszkodzeniem przy zaniku napięć i wewnętrznym zwarciu	3.7	5.4.2		x
8	Czas przygotowania urządzenia do pracy	3.8	5.4.2	x	x
9	Rodzaj pracy	3.9	5.4.1	x	x
10	Wymagania funkcjonalne	3.10.1 ÷ 3.10.5	5.4.1	x	x
11	Zamienność części	3.11	5.4.1		x
12	Współpraca z urządzeniem sterującym lub kontrolnym	3.12	5.4.1	x	x
13	Interfejs wejścia-wyjścia	3.13	5.4.1		x
14	Odporność na warunki pracy	3.14	5.4.1		x
15	Wytrzymałość na warunki transportu	3.15	5.4.1		x
16	Konstrukcja	3.16	5.4.1		x
17	Maksymalne wymiary pamięci	3.17	5.4.1		x
18	Maksymalna masa pamięci	3.18	5.4.1		x
19	Obciążenie podłoża	3.19	5.4.1		x
20	Moc pobierana	3.20	5.4.3		x
21	Poziom hałasu	3.21	5.4.1		x

cd. tabl. 2

Lp.	Wyszczególnienie	Wymaganie wg	Sprawdzanie wg	Badania	
				niepełne	pełne
1	2	3	4	5	6
22	Niezawodność	3.22	5.4.5		x
23	Trwałość eksploatacyjna	3.23	5.4.1		x
24	Bezpieczeństwo użytkowania	3.24	5.4.2	x ¹⁾	x

¹⁾ Zakres badań niepełnych — zgodnie z normą przedmiotową.

Tablica 3

Lp.	Wyszczególnienie	Opis
1	Sprawdzenie mocy jednostkowej	Zmierzyć składowe wzoru (5) i obliczyć moc, posługując się tymi wzorami (metodą wg norm przedmiotowych).
2	Sprawdzanie parametrów sygnałów wyjściowych	Wykonuje się jednocześnie ze sprawdzeniem zdolności pamięci do pracy przy marginesowaniu napięć stałych i zmian parametrów czasowych lub bezpośrednio po tym. Parametry sygnałów wyjściowych pamięci powinny się zawierać w granicach podanych dla odpowiednich typów elementów scalonych pamięci półprzewodnikowej.
3	Sprawdzenie zdolności pamięci do pracy przy marginesowaniu napięć stałych i zmian parametrów czasowych	Wykonuje się wg testów przytoczonych w załączniku; typy testów dobrać dla konkretnych typów pamięci. Pamięć operacyjną uznaje się za zdolną do pracy przy marginesowaniu napięć stałych, jeśli zapisywane do komórek kombinacje bitowe są tożsame z kombinacjami odczytanymi z tych komórek.
4	Określenie parametrów czasowych a) czas cyklu pamięci (cykl zapis-odczyt dla pamięci ze zniszczeniem informacji, cykl odczyt dla pamięci bez zniszczenia informacji), T_c b) czas dostępu (do informacji), T_d c) czas cyklu zapisu dla pamięci bez zniszczenia informacji, T_z d) czas odświeżania wiersza (dla dynamicznych pamięci półprzewodnikowych), t_r e) czas cyklu odświeżania pamięci (dla dynamicznych pamięci półprzewodnikowych), T_r	Wykonuje się za pomocą testów, podanych w programie badań; pomiar wielkości T_c , T_d , T_z , T_r , t_r wykonuje się odpowiednio do wymagań dla konkretnego typu układu scalonego stosowanego w interfejsie badanej pamięci.
5	Sprawdzenie pojemności informacyjnej E	wg norm przedmiotowych
6	Sprawdzenie pojemności komórki pamięci C	wg norm przedmiotowych
7	Sprawdzenie zachowania informacji przy zaniku zewnętrznego napięcia zasilania	wg norm przedmiotowych

K O N I E C

Załącznik
Informacje dodatkowe

ZAŁĄCZNIK

PODSTAWOWE TESTY KONTROLNE PAMIĘCI OPERACYJNEJ

1. Test „ciężki” polega na takim rozmieszczeniu informacji w pamięci operacyjnej, przy którym stosunek sygnału do zakłócenia pamięci przyjmuje wartość minimalną; wartość ta zależy od konfiguracji matrycy. Testami „ciężkimi” są testy podane niżej w 2, 3 i 4.

2. Test „przemienny” — odmiana testu „ciężkiego” wykorzystywana do sprawdzenia wpływu informacji zapisanej w sąsiednich komórkach na informację zapisaną w badanej komórce pamięci; informacja jest zapisana w postaci kombinacji bitowej, składającej się na przemian z zer i jedynek, zgodnie z rys. Z-1.

Oznaczenia na rys. 1 ÷ 8:

N — liczba adresów pamięci,

C — pojemność komórki pamięci w bitach,

A — kombinacja bitowa zapisywanej informacji do komórki pamięci,

A' — kombinacja bitowa informacji odczytywanej z komórki pamięci,

i — bieżący adres (numer) komórki pamięci.

Wykonując test, najpierw należy zapisać informację w wyżej podany sposób, a następnie odczytać ją i sprawdzić.

3. Test „przemienny podwójny” — odmiana testu „przemiennego”. Test należy wykonać zgodnie z rys. Z-2.

4. Dopełnienie testu „ciężkiego” — jest testem powstałym z zamiany „0” na „1” i „1” na „0” w teście „ciężkim”.

5. Test „adresowy” jest testem, w którym do każdej komórki pamięci zapisuje się jej numer (adres). Test wykonuje się zgodnie z rys. Z-3.

6. Test „przegląd” — sprawdza pamięć w warunkach maksymalnego zakłócenia statycznego wywołanego całkowitym prądem upływu wszystkich komórek pamięci znajdujących się w tym samym stanie.

Wszystkie komórki pamięci zapisuje się kombinacjami bitowymi składającymi się np. tylko z zer, po czym odczytuje się je z jednoczesną kontrolą.

Następnie operację powtarzamy, zapisując komórki pamięci kombinacjami bitowymi składającymi się w tym przykładzie tylko z samych jedynek.

Kolejność adresowania w teście — wg rys. Z-4.

7. Test sprawdzający czy odczytywanie nie niszczy zapisanej informacji. Aby sprawdzić wzajemne oddziaływanie (na siebie) komórek sąsiednich przy zapisywaniu do nich takiej samej informacji, należy zapisać określoną kombinację bitową do pierwszej komórki, odczytać ją i sprawdzić, po czym tę samą kombinację bitową zapisać do drugiej komórki, a następnie odczytać informację z obu komórek, itd., jak to pokazano na rys. Z-5.

Wykonuje się n dostępow do komórki pierwszej, $n-1$ — do drugiej oraz tylko jeden dostęp do ostatniej komórki.

8. Test „kontrola linii słów” jest przeznaczony do sprawdzenia wzajemnego wpływu szyn adresowych

linii słów.

Test polega na zapisaniu do sąsiednich komórek kombinacji bitowych „0”, „1”, przemiennych, a następnie na odczytaniu ich i sprawdzeniu.

Algorytm testu jest taki sam, jak algorytm testu przemiennego. Różnica zawiera się w informacji testującej

$$A = a_1, a_2, \dots, a_c$$

gdzie wszystkie bity a_1, \dots, a_c przyjmują jednakową wartość „0” lub „1”.

9. Test „kontrola linii bitów” jest przeznaczony do sprawdzenia wzajemnego wpływu szyn adresowych linii bitów. Od poprzedniego testu różni się tym, że „0” i „1” zapisuje się w liniach bitów.

Algorytm testu jest taki sam jak algorytm testu „przeglądu”. Różnica zawiera się w informacji testującej:

$$A = a_1, a_2, \dots, a_c$$

gdzie $a_{k+1} = \bar{a}_k$ dla $k = 0, 1, \dots, c - 1$.

10. Test „zapis, zapis-odczyt, do przodu i wstecz” jest przeznaczony do sprawdzenia wzajemnego wpływu sąsiednich komórek przy zmianie w nich informacji oraz do oceny procesów przejściowych przy odczycie z maksymalną częstotliwością roboczą.

Pod wszystkie adresy pamięci zapisuje się określoną informację, np. wszystkie jedynek tak jak to pokazano na rys. Z-6, odczytuje się je, a następnie sprawdza.

Po każdym odczycie według sprawdzanego adresu następuje zapis informacji przeciwnej, w tym wypadku wszystkich zer.

po sprawdzeniu wszystkich adresów, powtarzamy procedurę w odwrotnej kolejności, tj. od największego adresu do najmniejszego.

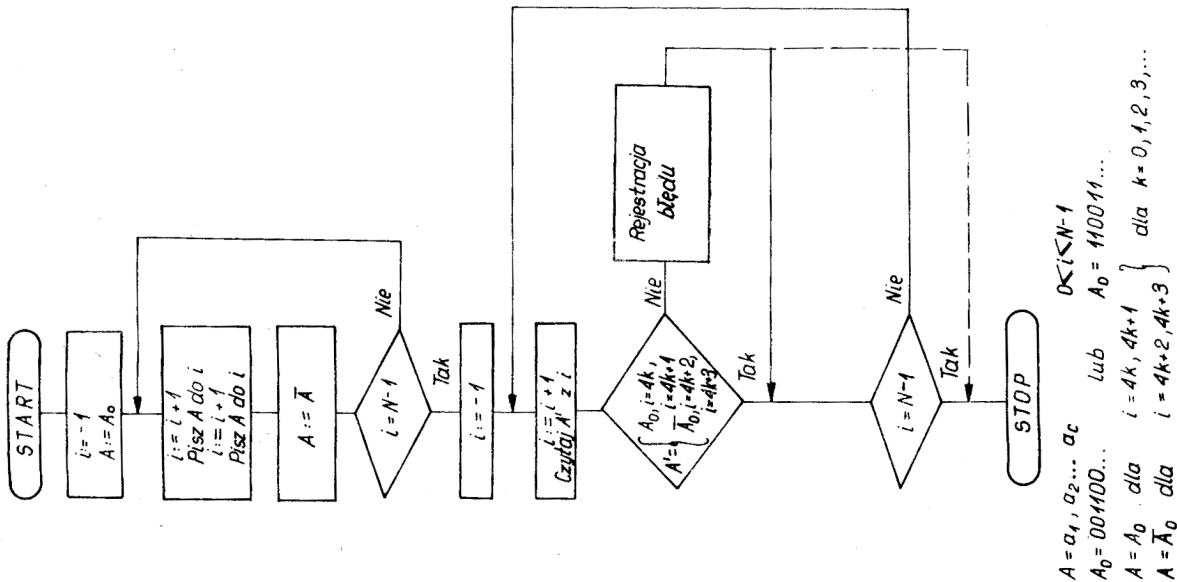
11. Test „marsz” jest przeznaczony do sprawdzania szyn adresowych, poprawności pracy komórki i matrycy dekodujących. Pod wszystkie adresy zapisuje się określone kombinacje bitowe, odczytuje się je ze sprawdzeniem, a następnie zamienia na przeciwne. Po przejściu ostatniego adresu procedurę powtarzamy, rozpoczynając od najmniejszego adresu.

Algorytm testu jest taki sam, jak algorytm testu „zapis, zapis-odczyt, do przodu i wstecz”.

12. Test „ping-pong” jest przeznaczony do określenia wzajemnego wpływu szyn adresowych podczas szybkiego zmieniania sygnałów adresowych.

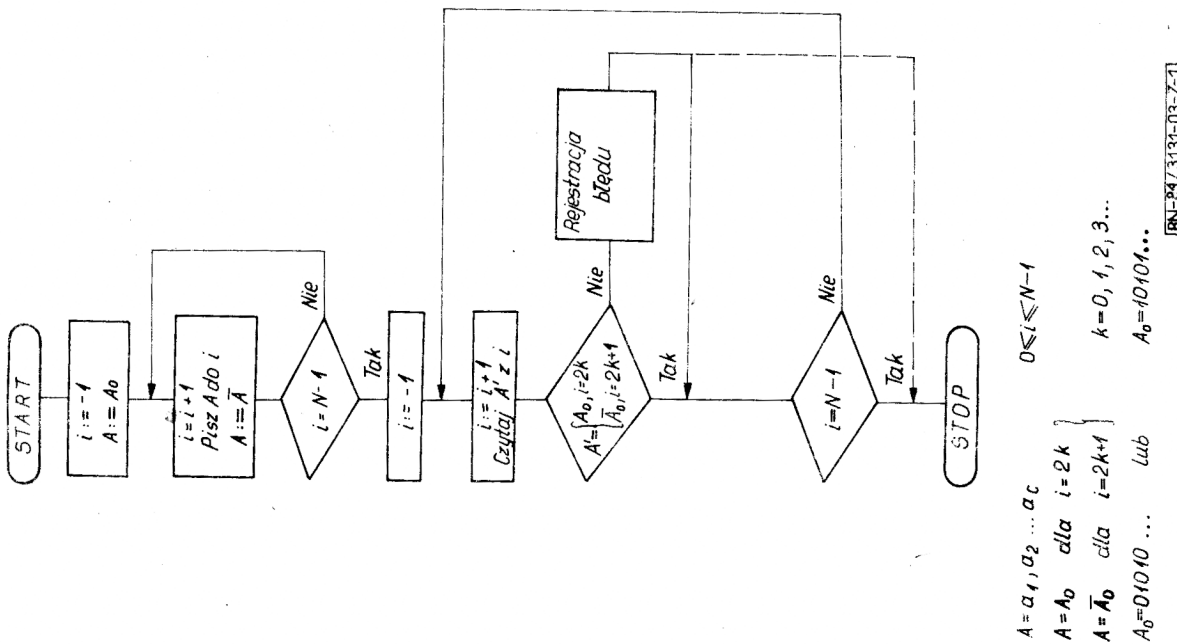
Algorytm testu jest przedstawiony na rys. Z-7.

Do badanej komórki zapisuje się określoną kombinację bitową, a do pozostałych — przeciwne. Następnie odczytujemy informację z komórki przylegającej do komórki badanej (informację przeciwną), odczytujemy określoną kombinację bitową, odczytujemy



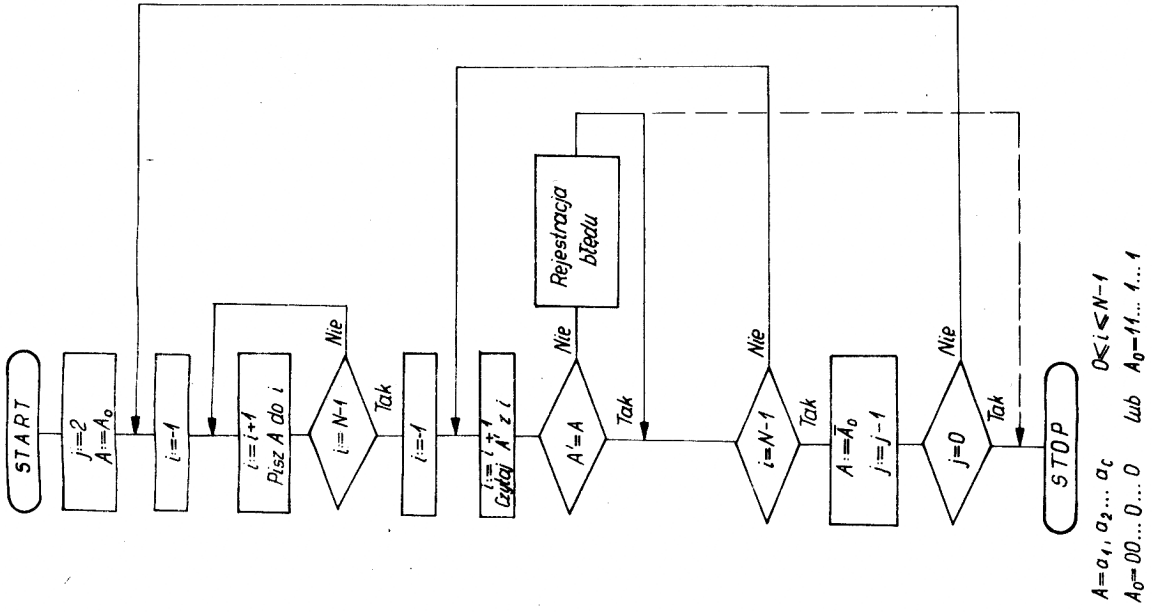
BN-84/3131-03-Z-2

Rys. Z-2. Algorytm testu „przemiennego podwójnego”



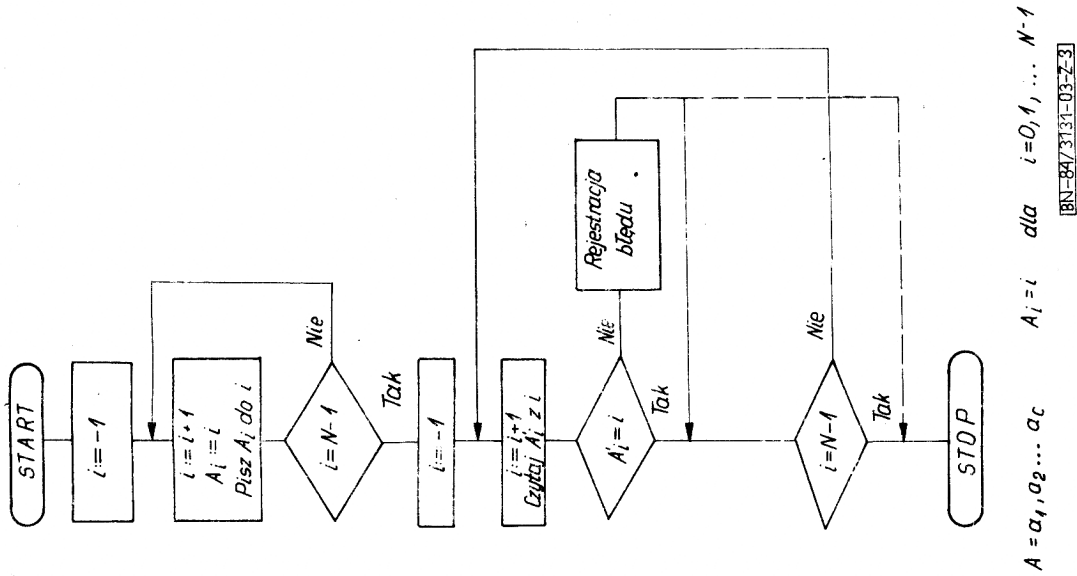
BN-84/3131-03-Z-1

Rys. Z-1. Algorytm testu „przemiennego”



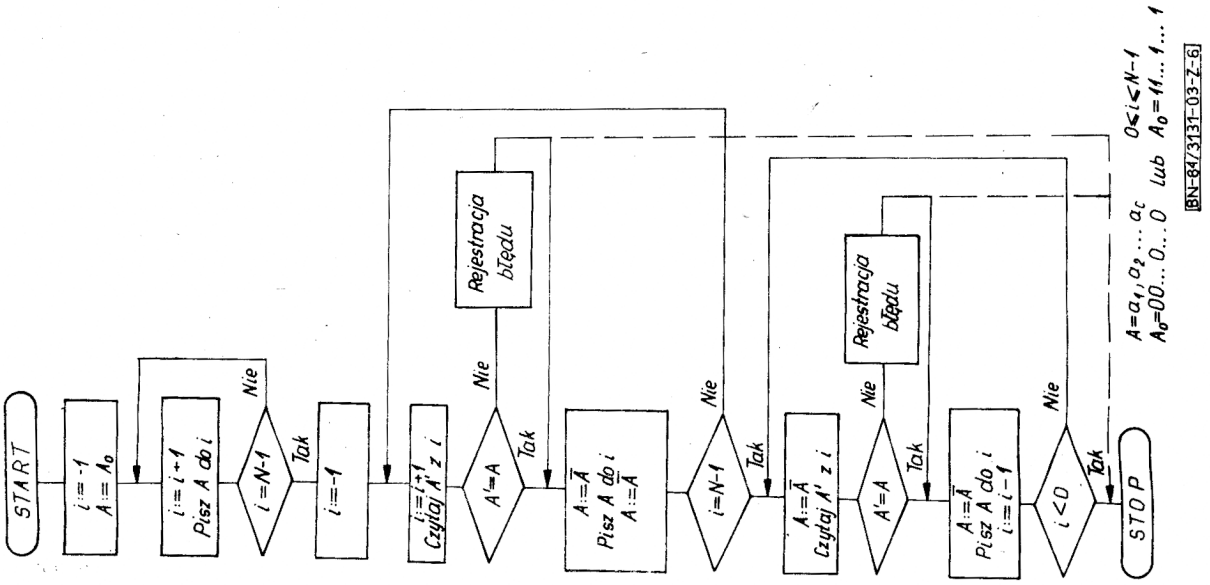
BN-84/3131-03-Z-4

Rys. Z-4. Algorytm testu „przebiegu”.

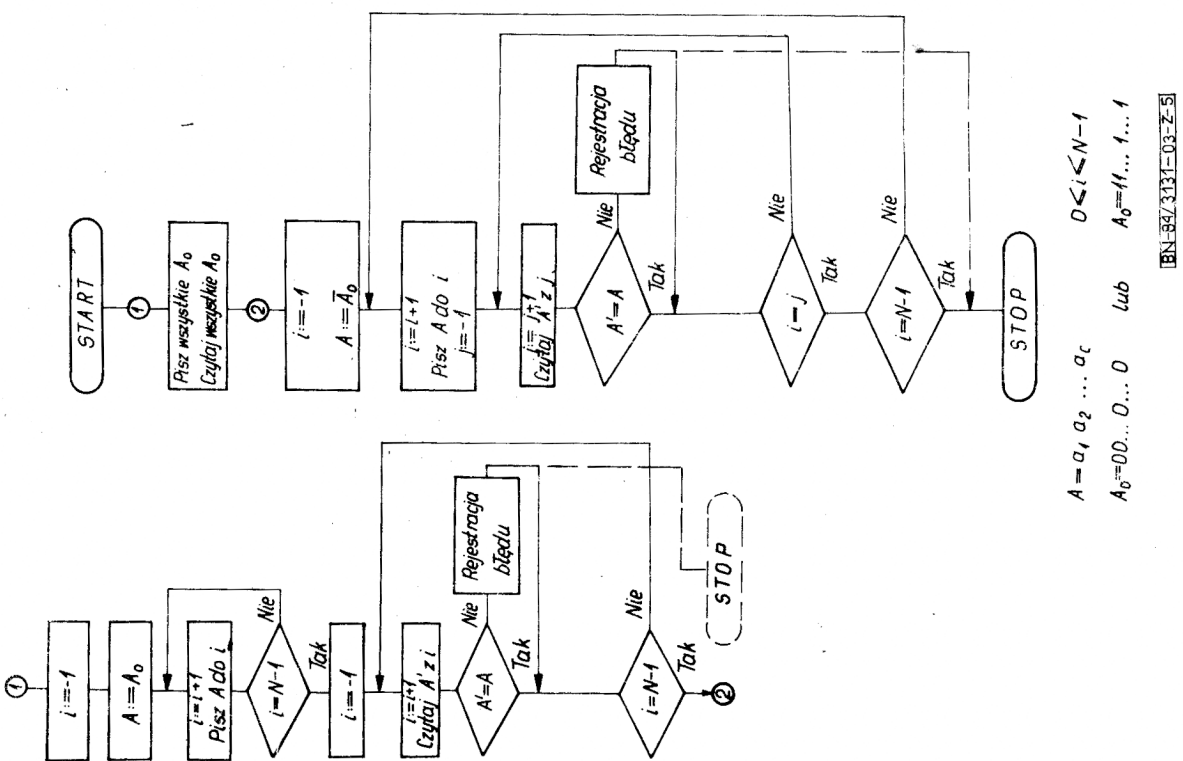


BN-84/3131-03-Z-3

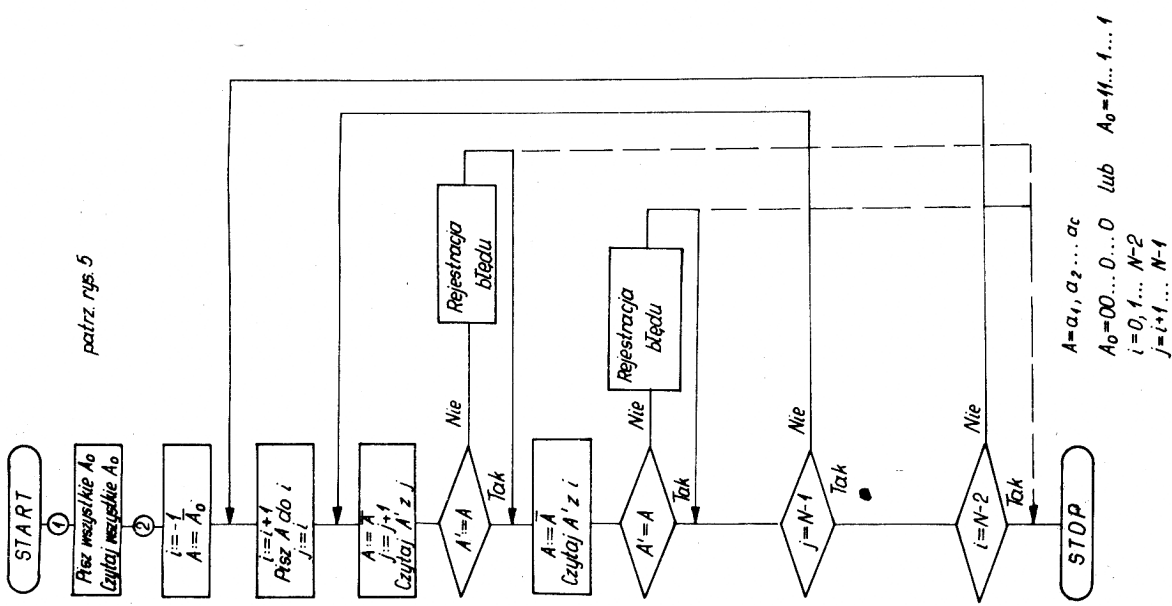
Rys. Z-3. Algorytm testu „adresowego”.



Rys. Z-6. Algorytm testu „zapisz-odczytaj, do przodu i wstecz”

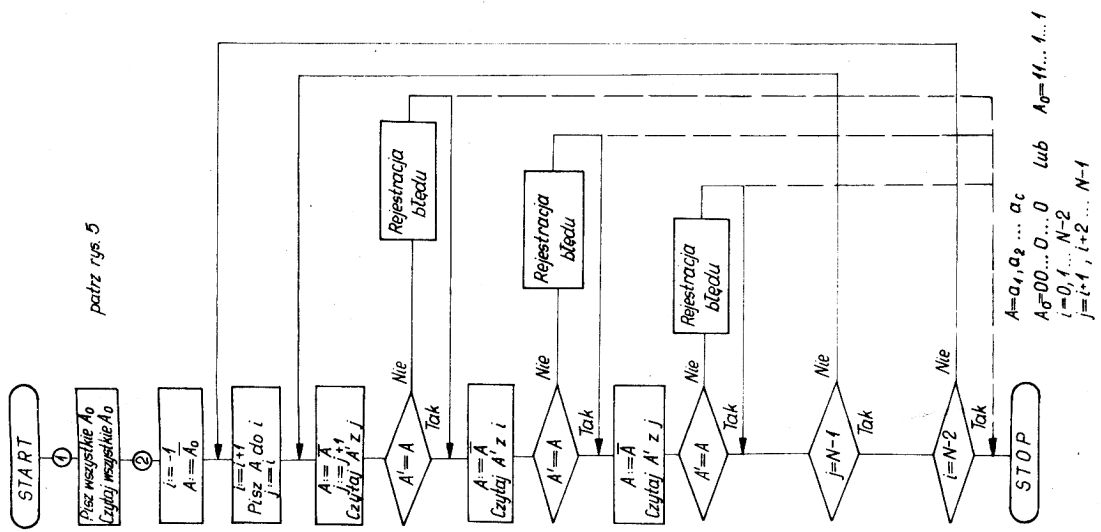


Rys. Z-5. Algorytm testu sprawdzającego, czy odczytanie nie niszczy zapisanej informacji



BN-84/3131-03-Z-7

Rys. Z-7. Algorytm testu „ping-ponga”



BN-84/3131-03-Z-8

Rys. Z-8. Algorytm testu „galopu”

przeciwłą kombinację bitową z następnej komórki, odczytujemy określoną kombinację bitową itd. aż do ostatniej komórki pamięci. Następnie określoną kombinację bitową zapisujemy do następnej komórki, a do poprzedniej — przeciwną i proces powtarzamy dotąd, aż test przejdzie wszystkie komórki.

13. Test „galop” jest realizowany tak samo jak test „ping-pong”, różni się od niego tylko tym, że przeciwną kombinację bitową odczytuje się dwukrotnie.

Algorytm testu przedstawiono na rys. Z-8.

14. Test „podatność na regenerację linii bitów (linii słów)” jest przeznaczony do sprawdzenia dróg regeneracji pamięci dynamicznych i ich zdolności do przechowywania informacji w okresie regeneracji.

Do wszystkich komórek wybranej linii bitów (linii słów) zapisuje się same jedyńki. Do jednej z komórek tej linii bitów (linii słów), w czasie całego regenerowania, wielokrotnie zapisuje się tylko zero. Test

powtarza się dla każdej linii bitów (linii słów), przy czym w poprzedniej linii bitów (linii słów) ustala się informacja — same jedyńki.

Liczbę zapisów zera ustala się dzieląc przerwę na regenerację przez czas dostępu do pamięci.

15. Test „krzyż” jest przeznaczony do sprawdzenia podatności na zmiany stanów komórek sąsiednich ułożonych w krzyż. Każda komórka pamięci jest badana oddzielnie. Do komórki zapisuje się określoną kombinację bitową składającą się z jedynek lub zer, a do każdej z czterech sąsiednich komórek — kombinację przeciwną.

Komórka testowana (do której zapisano określoną kombinację bitową) i cztery sąsiednie komórki tworzą krzyż.

Następnie zmienia się informację w czterech komórkach i sprawdza się wpływ tej zmiany na komórkę badaną.

INFORMACJE DODATKOWE

1. Instytucja opracowująca normę — Instytut Maszyn Matematycznych.

2. Normy związane

PN-83/T-42106 Urządzenia komputerowe. Ogólne wymagania i badania

PN-84/T-42107 Urządzenia komputerowe. Bezpieczeństwo elektryczne i mechaniczne. Wymagania i metody badań

BN-85/3108-01 Komputery. Niezawodność. Podstawowe wskaźniki niezawodności

BN-85/3108-02 Komputery. Niezawodność. Metody badań

BN-78/3108-03 Komputery. Niezawodność. Wymagania ogólne

3. Normy międzynarodowe

RWPG СТ СЭВ 3421-81 Машины вычислительные и системы обработки данных. Устройства оперативные запоминающие. Общие технические требования и методы испытаний — norma równoważna, z wyjątkiem zmniejszenia zakresu testów kontrolnych pamięci o następujące, nie spełniające wymagań w zakresie warunków krajowych: test losowy, test pseudolosowy, test „deszcz”, test „adresowanie dodatkowe”, test „wielokrotny odczyt z dowolnej komórki pamięci”, test „bieg”.

4. Autorzy projektu normy — mgr inż. Anna Halska-Dodacka, mgr Krystyna Radzimowska — Instytut Maszyn Matematycznych.